

Pipelining Circuits.

32 by 32 bits division

Xilinx CoreGen (pipe non-restoring)

	G	K	FF	LUTs	Slices	Period	Frec	#cycles (m+2/3)	Latency (ns)	1/(area*d elay)	area*delay	Latency Speed-up	Throug hput	Throughp ut / area
Xlx_1		1	2337	1177	1273	3,8	263	34	129,2	6,1	164,5	1,00	263,2	206,7
Xlx_2		2	1398	1191	992	4,0	250	35	140,0	7,2	138,9	0,92	125,0	126,0
Xlx_4		4	831	633	573	4,1	244	35	143,5	12,2	82,2	0,90	61,0	106,4
Xlx_8		8	534	343	364	3,8	263	35	133,0	20,7	48,4	0,97	32,9	90,4

pipe_nr_lowlevel		1	2301	1208	1191	3,0	333	33	99,0	8,5	117,9	1,31	333,3	279,9
------------------	--	---	------	------	------	-----	-----	----	------	-----	-------	------	-------	-------

	G	K	FF	LUTs	Slices	Period		#cycles	Latency (ns)					
pipe_r4_g1	1	2	1751	2758	2160	4,6	217	17	78,2	5,9	168,9	1,65	217,4	100,6
pipe_r4_g2	2	2	966	3269	1967	8,2	122	9	73,8	6,9	145,2	1,75	122,0	62,0
pipe_r4_g3	3	2	572	3912	2246	15,4	65	6	92,4	4,8	207,5	1,40	64,9	28,9
pipe_r16_g1	1	4	2480	5524	3825	6,5	154	10	65,0	4,0	248,6	1,99	153,8	40,2
pipe_r16_g2	2	4	1326	5497	3302	11,8	85	6	70,8	4,3	233,8	1,82	84,7	25,7
pipe_r4_g1_lowlev	1	2	1803	2406	1823	4,0	250	17	68,0	8,1	124,0	1,90	250,0	137,1

Sequential Circuits.

32 by 32 bits division

Non-Restoring

		K	FF	LUTs	Slices	Period		#cycles	Total Time (ns)					
non_rest_1		1	236	389	201	3,8	263	33	125,4	39,7	25,2	1,03	8,0	39,7
non_rest_2		2	234	402	206	6,4	156	17	108,8	44,6	22,4	1,19	9,2	44,6
non_rest_3		3	234	434	223	8,8	114	12	105,6	42,5	23,5	1,22	9,5	42,5
non_rest_4		4	232	466	239	11,5	87	9	103,5	40,4	24,7	1,25	9,7	40,4
non_rest_5		5	235	500	258	14,1	71	8	112,8	34,4	29,1	1,15	8,9	34,4
non_rest_6		6	235	533	274	16,7	60	7	116,9	31,2	32,0	1,11	8,6	31,2
non_rest_8		8	229	594	306	21,8	46	5	109,0	30,0	33,4	1,19	9,2	30,0
non_rest_11		11	227	690	356	29,9	33	4	119,6	23,5	42,6	1,08	8,4	23,5
non_rest_16		16	221	850	438	43,8	23	3	131,4	17,4	57,6	0,98	7,6	17,4

Arch2

		K	FF	LUTs	Slices	minPeriod (ns)		#cycles	Total Time (ns)						
R4_a2		2	232	239	172	3,8	263	16	60,8	95,6	10,5	2,13	16,4	95,6	
R8_a2		3	298	470	312	5,3	189	11	58,3	55,0	18,2	2,22	17,2	55,0	
R16_a2		4	415	951	556	6,4	156	8	51,2	35,1	28,5	2,52	19,5	35,1	
R32_a2		5	664	1890	1044	7,9	127	7	55,3	17,3	57,7	2,34	18,1	17,3	

Low Level

		K	FF	LUTs	Slices	minPeriod (ns)		#cycles	Total Time (ns)						
R4_a1_low		2	234	380	242	3,7	270	17	62,9	65,7	15,2	2,05	15,9	65,7	
R8_a1_low		3	301	810	465	4,5	222	12	54,0	39,8	25,1	2,39	18,5	39,8	
R16_a1_low		4	420	1679	909	5,0	200	9	45,0	24,4	40,9	2,87	22,2	24,4	
R16_a2_low		4	435	1017	566	4,8	208	9	43,2	40,9	24,5	2,99	23,1	40,9	

Xilinx CoreGen

Xilinx32by32_0			941	1001	588	2,4	417	26	62,4	27,3	36,7	2,07	16,0	27,3	12 DSPs!!!
Xilinx32by32_32			1067	1126	671	2,4	417	36	86,4	17,2	58,0	1,50	11,6	17,2	13 DSPs!!!

1BRAM
1BRAM